

Specification

1. Title of the Invention Image Display Device

5 2. What Is Claimed Is:

 (1) An image display device comprising:

 pixel electrodes formed in a matrix on a semiconductor layer
 formed on an insulating substrate made from glass or the like or
 on a semiconductor substrate; and

10 transparent electrodes on a transparent substrate provided
 over said pixel electrodes in between liquid crystal, as
 electrodes opposing the pixel electrodes, wherein;

 at least one switching element and a one-bit memory cell are
 provided for each one of said pixel electrodes, wherein

15 output of said memory cell is connected to the pixel
 electrodes.

 (2) An image display device comprising:

 pixel electrodes formed in a matrix on a semiconductor layer
 formed on an insulated substrate made from glass or the like or
20 on a semiconductor substrate, and

 transparent electrodes on a transparent substrate provided
 over said pixel electrodes in between liquid crystal, as
 electrodes opposing the pixel electrodes, wherein

 at least one switching element, a one-bit memory cell, and a
25 signal selection circuit in which each phase is reversed when
 output of said memory cell is shifted between "H" level and "L"
 level, are provided for each of said pixel electrodes, and

 output of said signal selection circuit is connected to the
 pixel electrodes.

3. Detailed Description of the Invention

The present invention relates to an image display device using liquid crystal for displaying fine-dot images without
5 halftones.

Fig. 1 shows a prior art image display device configured by combining liquid crystal and a MOSFET array. In Fig. 1, a unit pixel comprises MOSFET 1a formed on a semiconductor layer, a capacitor 2a for storing a signal, and liquid crystal cell 3a.

10 Basic operations of these components will be described below. When negative pulse voltage as a gate signal is applied to a gate line X_i , taking MOSFET as a P channel, FET 1a is turned to an ON state and an image signal applied to a signal line Y_i is charged in the capacitor 2a through FET 1. When the negative
15 pulse disappears, FET 1a is turned to an OFF state and the voltage charged in the capacitor is retained while it is electrically discharged through the liquid crystal cell. Then, the gate signal is line sequentially scanned from X_i , X_{i+1} , X_{i+2} and so on. By applying image signals corresponding to the
20 scanned positions through Y_i , Y_{i+1} ..., an overall image is displayed. An opposed electrode is a transparent electrode attached over glass or the like and COM shown in Fig. 1 is a common electrode terminal which is consistently maintained at a certain potential. Such an image display device is best suited
25 to display of images comprising analog signals or motion images, i.e. best suited for television images, whereas it is inadequate
~~for displaying images without halftone or still-frame pictures.~~
Because the signal charged in the capacitor 2a is electrically discharged through the liquid crystal cell 3a, as described

above, voltages at both ends of the capacitor 2a continue to decrease as indicated by Curve 4 in Fig. 2 until subsequent writing is performed even when a "1" of a high-level signal is written. Accordingly, it becomes necessary to perform a writing
5 operation constantly at a regular interval TR, causing that an electric power for continuous operation of the overall circuit is required. Similarly, Curve 5 in Fig. 2 shows voltages at both ends of a capacitor 2b. Further, the above-described image display device has a disadvantage that repetition of electrical
10 charge and discharge inevitably leads to increased power consumption.

It is therefore the primary object of the present invention to provide an image display device adequate for displaying images without halftone and still-frame pictures with minimized
15 power consumption.

With reference to the drawings, the present invention will be described below. Fig. 3 shows an image display device according to the present invention. A unit pixel comprises MOSFET 6a formed on a semiconductor layer, a one-bit memory cell
20 7a, and a liquid crystal cell 8a. When a signal of "1" is input to the memory cell 7a, output thereof is set to "1" ("0"), which is retained until a subsequent signal of "0" is input. when the signal of "0" is input, the output is set to "0" ("1") and maintained at this state. When an image display device having
25 this structure is used, as shown in Fig. 4, after applying write pulses X_i , X_{i+1} at a certain instant to write data "1" in the memory cell from Y_i , and Y_{i+1} , data of "1" continues to be
impressed onto liquid crystal regardless of the length of time unless new data of "0" is written by applying a subsequent pulse.

Accordingly, by establishing voltage levels of "1" and "0" and a voltage level of common electrode in such a manner that a selected voltage is applied on the liquid crystal when "1" is obtained and an unselected voltage is applied on the liquid
5 crystal when "0" is obtained, it becomes possible to display images without halftone and still-frame pictures of the images at an extremely low voltage. This is achieved because all the driving circuits for signal lines Y_i , Y_{i+1} , ... and gate lines X_i , X_{i+1} , ... can be terminated when still-frame pictures are
10 displayed and the output voltage of the memory cells is essentially controlled without passing a current instead of a method for charging signals to the capacitor. Reference numerals 9 and 10 in Fig. 4 show the output voltages of memory cells 7a and 7b, respectively.

15 Fig. 5 shows an embodiment about a memory cell section in an image display device according to the present invention. Specifically, CMOS inverters 12 and 13 are interconnected by through connecting their respective input/output terminals with each other. Further, input of the CMOS inverter 12 is connected
20 to a switching transistor 11 as input of the memory cell, and output of the CMOS inverter 13 is connected to a pixel electrode as output of the memory cell.

Fig. 6 shows another image display device according to the present invention. In the example of Fig. 6, the function of an
25 alternating-current drive is added to the above-described image display device, which then comprises a switching transistor i.e. a MOSFET 11, CMOS inverters 12 and 13, a liquid crystal cell 14, an EXCLUSIVE-NOR circuit 15, and a clock source 16. The structure of the memory cell comprising the CMOS inverters 12

and 13 is similar to the example of Fig. 5, except that output of the memory cell in the example of Fig. 6 is connected to either input terminal of the EXCLUSIVE NOR circuit (hereinafter abbreviated as an ENOR circuit) 15, and the other input terminal of the ENOR circuit 15 is connected to a common electrode terminal COM, and further a clock for the alternating-current drive is input to the common electrode terminal. Voltages applied when output of the memory cell is "1" and when output of the memory cell is "0" are shown in Figs. 7 and 8, respectively.

When the output of the memory cell is "1", a signal 18a which is inverted relative to a waveform 17 of the clock source is obtained as output of the ENOR circuit 15. Accordingly, by connecting the output of the ENOR circuit 15 to the pixel electrode, an alternating-current driving waveform having a voltage of $\pm V$ is applied to the liquid crystal as shown by reference numeral 19a in Fig. 7. On the other hand, when the output of the memory cell is "0", a signal 18b having a phase equal to the waveform 17 of the clock source is obtained as output of the ENOR circuit 15, and no voltage to be applied to the liquid crystal. As a result, because the liquid crystal display is, thus, supplied with the selected alternating-current voltage when input is "1" and supplied with no voltage when input is "0", and always driven by an alternating current, the life and the reliability of the liquid crystal can be increased.

Fig. 9 shows still another embodiment of an image display device according to the present invention. The image display device comprises a switching transistor 11, CMOS inverters 12 and 13, transmission gates (hereinafter referred to as TG) 20 and 21, a liquid crystal cell 14, and a clock source 16. The structure of

the memory cell comprising the CMOS inverters 12 and 13 is similar to the example of Fig. 5 except the following. In the example of Fig. 9, the output of the memory cell, that is, the output of the CMOS inverter 13 is connected to both a gate on n-channel side of the TG 20 and a gate on P-channel side of the TG 21, and the input terminal of the CMOS inverter 13 is connected to both a gate on P-channel side of the TG 20 and a gate on n-channel side of the TG 21. Further, the outputs of the TG 20 and the TG 21 are connected to each other and established as the pixel electrode. The input terminal of the TG 21 is connected to the common electrode and then connected to the clock source 16. The input terminal of the TG 20 is connected to the clock source 16 through the inverter 24 by establishing the connection common to all the pixels. With this structure, when the output of the memory cell is "1", the TG 20 is turned on and the TG 21 is turned off so that an alternating-current driving waveform having the voltage of $\pm V$ identical to the voltage shown by reference numeral 19a in Fig. 7 is applied to the liquid crystal cell. Similarly, when the output of the memory cell is "0", no voltage is applied to the liquid crystal cell. Because, in the example of Fig. 9, an area where the circuit is built becomes smaller as compared to the example of Fig. 6, the example of Fig. 9 holds superiority in obtaining pixels at higher densities. Although the alternating-current drive is achieved by using the ENOR circuit and the TG in the examples of Figs. 6 and 9, it may be obtained by installing a circuit capable of reversing the polarity of clock applied to the pixel electrode when the output of the memory cell is "1" and when the output of the memory cell is "0". It is therefore obvious that the present invention is

not limited to the examples using the ENOR circuit and the TG and may be applied to those capable of achieving equivalent operations by using an EXCLUSIVE.OR circuit, a combination of AND circuits, or a combination of OR circuits without departing
5 from the spirit or scope of the present invention. Further, the circuit configuration in which a selected voltage is applied when an input signal of "0" is obtained is precisely identical and the description thereof is omitted. In examples of Figs. 6 and 9, it is also possible to terminate peripheral circuits
10 except the clock source when still-frame pictures are displayed just as is the case with examples of Figs. 3 and 5.

By using the image display device of the present invention as described above, the primary object of the present invention, which is to provide an image display device adequate for
15 displaying images without halftone and still-frame pictures with minimized power consumption can be completely attained. In other words, digital configuration of all circuits and shutdown of peripheral circuits other than a clock source when displaying a still-frame image enables significant decrease of power
20 consumption while simultaneously enabling alternating-current drive. Therefore, a long-life and reliable display device can be obtained. Because it becomes possible to attain clear display on the screen based on minute dots, lower power consumption, long life, and high reliability all together by
25 applying the present invention to a device for displaying characters such as graphics using minute dots, industrial
~~applicability of the present invention is extremely high.~~

4. Brief Description of the Drawings

Figure 1 is a circuit diagram showing an image display device in prior art.

Figure 2 is an explanatory drawing showing relationship between a writing pulse of Fig. 1 and voltage for driving a
5 liquid crystal.

Figure 3 is a circuit diagram showing an image display device according to an embodiment of the present invention.

Figure 4 is an explanatory drawing showing relationship between a writing pulse of Fig. 3 and voltage for driving liquid
10 crystal.

Figure 5 is a circuit diagram showing a concrete example of the image display device according to the present invention.

Figure 6 is a circuit diagram showing another example of the image display device according to the present invention.

15 Figures 7 and 8 are explanatory drawings showing voltage for driving liquid crystal in Fig. 6.

Figure 9 is still another example of the image display device according to the present invention.

6a, 6b, 11	switching element
20 7a, 7b	memory cell
8a, 8b, 14	liquid crystal cell
9, 10	voltage for driving liquid crystal
12, 13	CMOS inverter
15	EXCLUSIVE NOR circuit
25 16	clock source
17	clock waveform
18a	selective clock
18b	non-selective clock
19a	selective driving voltage

	19b	non-selective driving voltage
	20, 21	transmission gate
	22	clock input terminal and common electrode
	terminal	
5	23	reversed clock input terminal
	24	inverter

Issued on May 21, 1984

(Voluntary) Amendment

May 1, 1984

Specification/Drawings

5

6. Contents of Amendment

(2) Please amend the description in the Detailed Description
of the Invention in regard to the above-identified patent
10 application as follows.

a. Please amend the term "low voltage" on line 10 in page
5 in the Detailed Description of the Invention to "low power".

b. Please amend the term "NOR" on lines 10 and 14 in page
6, in the Detailed Description of the Invention to "OR".

15 c. Please amend the term "ENOR" on line 14 in page 6, line
2 in page 7, and line 18 in page 8, in the Detailed Description
of the Invention to "EOR".

d. Please amend the term "EXCLUSIVE·OR" on lines 4 in page
9, in the Detailed Description of the Invention to
20 "EXCLUSIVE·NOR".

(3) Please replace the drawing of Fig. 6 to an amended drawing
attached in this Amendment in regard to the present patent
application.

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭58—23091

⑪ Int. Cl.³

識別記号

庁内整理番号

⑬ 公開 昭和58年(1983)2月10日

G 09 G 3/36

7250—5C

G 02 F 1/133

7348—2H

G 09 F 9/35

7520—5C

発明の数 2

審査請求 未請求

(全 4 頁)

⑭ 画像表示装置

号株式会社第二精工舎内

⑮ 出 願 人 株式会社第二精工舎

東京都江東区亀戸6丁目31番1

号

⑯ 特 願 昭56—122036

⑰ 出 願 昭56(1981)8月4日

⑱ 発 明 者 星英男

⑲ 代 理 人 弁理士 最上務

東京都江東区亀戸6丁目31番1

明 細 書

1. 発明の名称 画像表示装置

2. 特許請求の範囲

(1) ガラス等の絶縁基板上に形成された半導体層、または、半導体基板上に、行列状に画素電極が形成され、前記画素電極上に液晶を介して設置された、透光性基板上的透明電極を対向電極とした画像表示装置に於て、前記画素電極一個に対して、少なくとも一個のスイッチング素子と一ビットのメモリーセルが具備され、前記メモリーセルの出力と画素電極が接続されていることを特徴とする画像表示装置。

(2) ガラス等の絶縁基板上に形成された半導体層、または、半導体基板上に、行列状に画素電極が形成され、前記画素電極上に液晶を介して設置された透光性基板上的透明電極を対向電極とした画像表示装置に於て、前記画素電極一個に対して、少なくとも一個のスイッチング素子と一ビットの

メモリーセル、及び前記メモリーセルの出力が“H”レベル“L”レベルの時に各々位相が反転した信号選択回路が具備され、前記信号選択回路の出力と画素電極が接続されていることを特徴とする画像表示装置。

3. 発明の詳細な説明

本発明は、液晶を用いた中間調のない微細ドット画像表示装置に関するものである。

従来の画像表示装置を第1図に示す。液晶とMOB型FETアレイを組み合わせて構成されている。第1図に於て、単位画素を構成するのは半導体層に形成されたMOB型FET1a、信号蓄積用コンデンサ2a、及び液晶セル3aである。この基本的な動作を説明する。まずMOB型FETをPチャネルとし、ゲートラインY1にゲート信号としての負のバルス電圧が印加されると、FET 1aはオン状態となり、信号ラインX1に印加された画像信号はFET 1を通してコンデンサ2aに充電される。次のバルスが供給すれば

FET1aはオフ状態となり、コンデンサに充電された電圧は、液晶セルを通じて放電されながら保持される。そして、ゲート信号を $X1$ から $X1+1$, $X1+2$ と順次走査し、その位置に対応した画像信号を $Y1$, $Y1+1$ ……より印加することにより全体の画像が表示される。このとき対向電極はガラス等に全面に付けられた透明電極であり、第1図の00Mが共通電極端子である。そして、共通電極は常にある電位に保たれている。さて、このような画像表示装置はアナログ信号や、動画を画像表示する場合、すなわちテレビ画像の表示などには最適であるが、中間調を必要としない画像や、静止画像の表示などにはきわめて不適当であつた。なぜならば、前述したようにコンデンサ2aに充電された信号は液晶セル3aを通じて放電していくので、第2図曲線4に示すようにハイレベルの信号“1”を書き込んでも、次に書き込みが行なわれるまでにコンデンサ2aの両端の電圧がどんどん下がってしまい、静止画像を表示する場合でも常にある周期 T_R で書き込み動作を行な

う必要があり、常に回路全体を動かしておくための電力が必要である。同様に曲線5はコンデンサ2bの両端の電圧を示す。さらにコンデンサへの充放電をくり返すことによる消費電力の増大が避けられないという欠点があつた。

そこで本発明は、中間調を必要としない画像、静止画像を表示するのに適した、消費電力が少なくすむ画像表示装置を供することを目的とするものである。

以下図面とともに本発明について説明していく。第3図に本発明の画像表示装置を示す。単位画像を構成するのは、半導体層に形成されたMOS型FET6a、1ビットのメモリセル7a、及び液晶セル8aである。ここでメモリセル7aは“1”の信号が入力されると出力が“1”(“0”)にセットされ、次に“0”の信号が入力されるまでずっと前の状態を保持し、“0”の信号が入力されると出力が“0”(“1”)にセットされ、この状態が保持されるというものである。このような構成の画像表示装置を用いると、第4図に示すように、ある

瞬間に書き込みパルス $X1$, $X1+1$ を印加して、メモリセルに $Y1$, $Y1+1$ から情報“1”を書き込むと、次に書き込みパルスが印加され“0”の情報が新たに書き込まれるまではどんなに長い期間であつても“1”の情報が液晶に印加されつづけるのである。

従つて、“1”の時液晶に選択電圧が印加され、“0”の時液晶に非選択電圧が印加されるように、“1”、“0”の電圧レベル及び、共通電極の電圧レベルを設定すれば、中間調のない画像とその静止画像を非常に少ない電圧で表示することが可能となるのである。なぜならば、静止画像の場合、信号ライン $Y1$, $Y1+1$ ……とゲートライン $X1$, $X1+1$ ……の駆動回路は全て停止させておくことが出来るからである。また、コンデンサに信号を充電するという方式ではなく、基本的に電流を流さずにメモリセルの出力電圧を制御するからである。尚、第4図9, 10は各々メモリセル7a, 7bの出力電圧を示す。

第5図に本発明の画像表示装置のメモリセル部の具体的実施例を示す。すなわちCMOSイン

ータ12, 13の互いの入・出力端子を接続し、インバータ12の入力をメモリセルの入力としてスイッチングトランジスタ11と接続し、インバータ13の出力をメモリセルの出力として両電極と接続するというものである。

第6図に他の本発明の画像表示装置を示す。第6図の例は、さらに交流駆動の機能を加えたものであり、スイッチングトランジスタつまりMOSFET11, CMOSインバータ12, 13、液晶セル14, EXCLUSIVE-NOR回路15及びクロック源16から成っている。CMOSインバータ12, 13によるメモリセルの構成は第5図の例と同様であるが、メモリセルの出力をEXCLUSIVE-NOR回路(以下ENOR回路と略す)15の一方の入力端子に接続し、ENOR回路15の他方の入力端子と共通電極端子COMを接続し、さらに、共通電極端子に交流駆動用のクロックを入力するというものである。メモリセルの出力が“1”の場合と“0”の場合の液晶に印加される電圧を第7図、第8図に示す。まず、

メモリセルの出力が“1”の場合、クロック源の波形117に対して反転した信号18aがE NOR回路15の出力として得られる。そこで、E NOR回路15の出力を画素電極と接続しておけば、液晶には第7図19aのように±Vの電圧の交流駆動波形が印加される。次にメモリセルの出力が“0”の場合、クロック源の波形117と同相の信号18bがE NOR回路15の出力として得られるので、液晶には全く電圧が印加されない。従つて、入力が“1”のとき液晶には選択交流電圧が印加され、入力が“0”のとき液晶には全く電圧が印加されず、駆動は常に交流で行なわれるので、液晶の長寿命化・信頼性の向上が達成できる。第9図は本発明の画像表示装置のさらに他の実施例である。スイッチングトランジスタ11、CMOSインバータ12、13、トランスミッシヨングート(以下TGと略す)20、21、液晶セル14及びクロック源16から成っている。CMOSインバータ12、13によるメモリセルの構成は第5図の例と同様であるが、メモリセルの出力つまりCMOSインバータ13の出力をTG20のPチャ

ネル側ゲート及び、TG21のPチャネル側ゲートに接続し、CMOSインバータ13の入力端子をTG20のPチャネル側ゲート及び、TG21のNチャネル側ゲートに接続する。そして、TG20、21の出力を互いに接続して画素電極とし、TG21の入力端子は共通電極と接続されて、クロック源16と接続される。さらにTG20の入力端子は全面素共通にして、インバータ24を介してクロック源16と接続されている。このように構成することにより、メモリセルの出力が“1”の時は、TG20がオン状態、TG24がオフ状態になるため、液晶セルには第7図19aと同じ±Vの電圧の交流駆動波形が印加され、同様にメモリセルの出力“0”の時は、液晶セルには電圧が印加されないというものである。第9図の例は、第6図に例に比べて回路を作り込む面積が少ないので画素の高密度化に有利である。また第6図、第9図の例では各々、E NOR回路、TGを用いて交流駆動を可能にしているが、必ずしもメモリセルの出力が“1”の時と“0”の時の画素電

極に印加されるクロックの極性を反転させることが出来る回路を備えていれば全く同じであり、E NOR回路、TGを使つた例のみに限定されるものではなく、EXCLUSIVE OR回路や、AND回路の組合わせ、OR回路の組合わせによつても全く同様の動作をさせることが出来、これらも本発明の範疇に入ることとはもちろんである。また、入力信号が“0”の時選択電圧が印加される回路構成も全く同様であり説明は省略する。また、第6図、第9図の例に於ても、静止画像表示に於ては、クロック源を除く周辺回路を停止させられるのは第3図、第5図の例と同様である。

以上のような本発明の画像表示装置を用いることにより中間調を必要としない画像及びその静止画像を表示するのに適した、消費電力が少なくてすむ画像表示装置を得るという当初の目的は完全に達成できる。すなわち、回路構成を全てデジタル的にすることと、静止画像表示時には周辺回路を全て停止させることで、大幅な消費電力の低下がはかれるのである。また同時に交流駆動が可能

となるので、寿命・信頼性の点でも優れた表示装置が得られる。従つて、微細ドットによる文字やグラフィックなどのキャラクタディスプレイ装置に本発明を適用することにより、微細ドットによる美しい表示と低消費電力化と長寿命・高信頼性を同時に達成することが出来、本発明の工業的価値は大きい。

4. 図面の簡単な説明

第1図は従来の画像表示装置を示す回路図。

第2図は、第1図に於ける書き込みパルスと液晶駆動電圧の関係を示す説明図。

第3図は本発明の画像表示装置の実施例を示す回路図。

第4図は、第3図に於ける書き込みパルスと液晶駆動電圧の関係を示す説明図。

第5図は本発明の画像表示装置の具体的実施例を示す回路図。

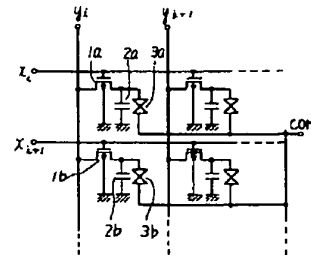
第6図は本発明の画像表示装置の他の実施例を示す回路図。

第7図、第8図は、第6図に於ける液晶駆動電圧を示す説明図。

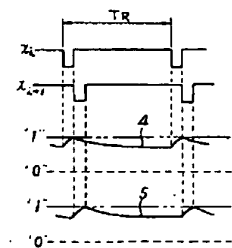
第9図は本発明の画像表示装置のさらに他の実施例を示す回路図。

- 6a, 6b, 11……スイッチング素子。
- 7a, 7b……メモリセル。
- 8a, 8b, 14……液晶セル。
- 9, 10……液晶駆動電圧。
- 12, 13……CMOSインバータ。
- 15……EXCLUSIVE NOR 回路。
- 16……クロック源。
- 17……クロック波形。
- 18a……選択用クロック。
- 18b……非選択用クロック。
- 19a……選択駆動電圧。
- 19b……非選択駆動電圧。
- 20, 21……トランジションゲート。
- 22……クロック入力端子及び共通電極端子。
- 23……反転クロック入力端子。
- 24……インバータ。

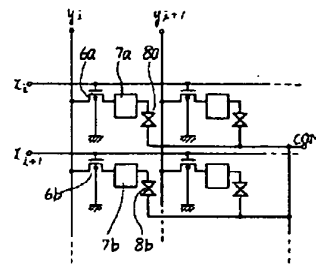
第1図



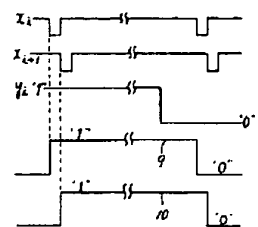
第2図



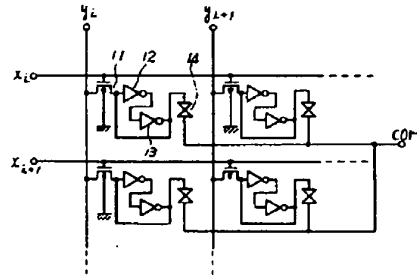
第3図



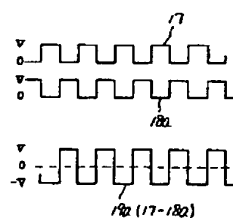
第4図



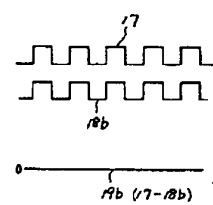
第5図



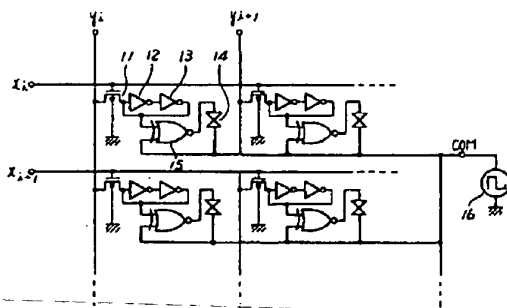
第7図



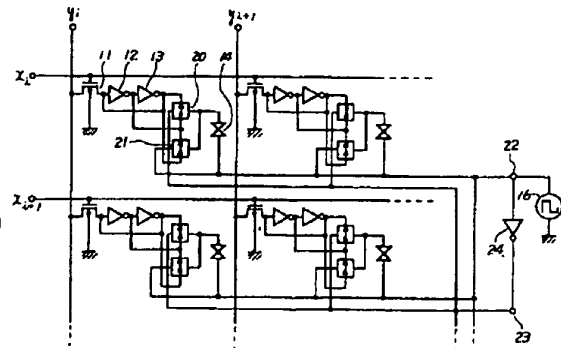
第8図



第6図



第9図



昭 59 5.21 発行

特許法第17条の2の規定による補正の掲載

昭和 56 年特許第 122036 号 (特開昭
58- 23091 号 昭和 58 年 2 月 10 日
発行 公開特許公報 58- 231 号掲載) につ
いては特許法第17条の2の規定による補正があ
たので下記のとおり掲載する。 6 (2)

Int. Cl.	識別記号	庁内整理番号
G09G 3/36		7436-5C
G02F 1/133		7348-2H
G09F 9/35		6615-5C

手 続 補 正 書 (自 発)

昭和 59 年 3 月 1 日

特許庁長官 殿

1. 事件の表示

昭和 56 年特許第 122036 号

2. 発明の名称

画像表示装置

3. 修正をする者

事件との関係 出願人

東京都江東区亀戸 6 丁目 5.1 番 1 号

(252) セイコー電子工業株式会社

4. 代 理 人

代表取締役 服 部 一 郎

〒104 東京都中央区京橋 2 丁目 6 番 21 号

株式会社 服部セイコー内 最上特許事務所

(4564) 弁理士 常 上 裕

電話番号 563-2111 内線 221-6 担当 特

5. 補正により増加する発明の数

5. 補正の対象

明細書・図面

7. 補正の内容

方 式
審 査

4. 補正の内容

(1) この出願に関し特許請求の範囲を別紙のと
おりに改めます。

(2) この出願に関し明細書の発明の詳細な説明
の欄の記載を以下のように改めます。

イ 第 5 頁 10 行目の「少ない電圧」を「少
ない電力」に改めます。

ロ 第 6 頁 10 行目及び 14 行目の「NOR」
を「OR」に改めます。

ハ 第 6 頁 14 行目、第 7 頁 2 行目、第 8 頁
18 行目及び第 9 頁 3 行目の「ENOR」を
「EOR」に改めます。

ニ 第 9 頁 4 行目の「EXCLUSIVE・OR 回
路」を「EXCLUSIVE・NOR 回路」に改めます。

(3) この出願に関し、第 6 図を添附補正図面の
とおりに改めます。

以 上

特許請求の範囲

(1) ガラス等の絶縁基板上に形成された半導体
層、または、半導体基板上に、行列状に画素電極
が形成され、前記画素電極上に液晶を介して設置
された、透光性基板上の透明電極を対向電極とし
た画像表示装置に於て、前記画素電極一個に対し
て、少なくとも一個のスイッチング素子と一ピッ
トのメモリーセルが具備され、前記メモリーセル
の出力と画素電極が接続されていることを特徴と
する画像表示装置。

(2) ガラス等の絶縁基板上に形成された半導体
層、または、半導体基板上に、行列状に画素電極
が形成され、前記画素電極上に液晶を介して設置
された透光性基板上の透明電極を対向電極とした
画像表示装置に於て、前記画素電極一個に対して、
少なくとも一個のスイッチング素子と一ピットの
メモリーセル、及び前記メモリーセルの出力が
“H”レベル“L”レベルの時に各々位相が反転
した信号選択回路が具備され、前記信号選択回路
の出力と画素電極が接続されていることを特徴と

昭 59 5.21 第 6 図

する画像表示装置。

第 6 図

以 上

出 願 人 セイコー電子工業株式会社

代 理 人 弁 理 士 最 上

